

1. 编译RTL代码步骤：
2. 进入到路径：/m3designstart/logical/testbench/execution\_tb 下使用makefile
3. 键入：make clean 清除先前compile的数据
4. Compile命令：支持mti(Mentor QuestaSim) ius(Cadence IUS) vcs(Synopsys VCS)

make compile SIMULATOR=vcs DSM=no

编译过程会记录到vcs\_compile.log的文件里面。

1. Run Simulation:
2. 进入到路径：/m3designstart/logical/testbench/execution\_tb

执行：make run TESTNAME=testname(比如apb\_mux\_tests) SIMULATOR=vcs DSM=yes

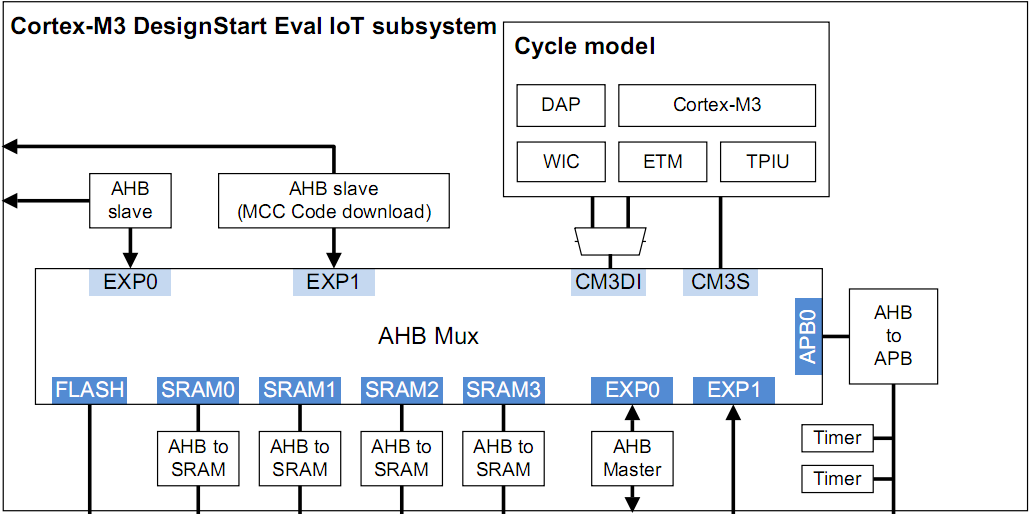
文件主要有：

1. cotexm3的verilog代码（加密）：

m3designstart/logical/cortexm3integration\_ds\_obs/verilog下文件名为：

CORTEXM3INTEGRATIONDS.v cortexm3ds\_logic.v

1. cotexm3的外围电路包括：



文件列表见：m3ds\_iot\_top\_filelist.v

DC综合初步结果：

clk：100MHz

tech：smic013

area：0.56mm2